

UM321xA 用户设计要点指南

版本: V1.2



广芯微电子（广州）股份有限公司

<http://www.unicmicro.com/>

目录

1	硬件设计相关	1
1.1	IO 管脚相关	1
1.2	NRST（外部复位管脚）相关	1
1.3	时钟电路设计	2
1.4	外部时钟电路设计	3
1.4.1	外部晶体振荡器选型	3
2	编译环境设置	5
2.1	IAR 平台	5
3	软件设计相关	7
3.1	时钟设置	7
3.2	Flash 操作相关	7
3.3	WDT 相关	7
4	版本维护	8

1 硬件设计相关

1.1 IO 管脚相关

1. 避免 IO 脚的上电速度快于供电电压 VDD。
2. 避免 IO 脚的电压大于供电电压 $VDD+0.3V$ 。
3. 为提高抗干扰能力，未使用的 IO 脚不要悬空。可外部加上/下拉电阻，或者打开内部的上/下拉电阻。

1.2 NRST（外部复位管脚）相关

1. NRST 外部复位管脚，当被用作外部复位口时，此端口不能悬空，否则容易受到干扰，导致芯片复位。

常用的复位电路如图 1-1 所示，复位性能 $A > B > C > D$ 。

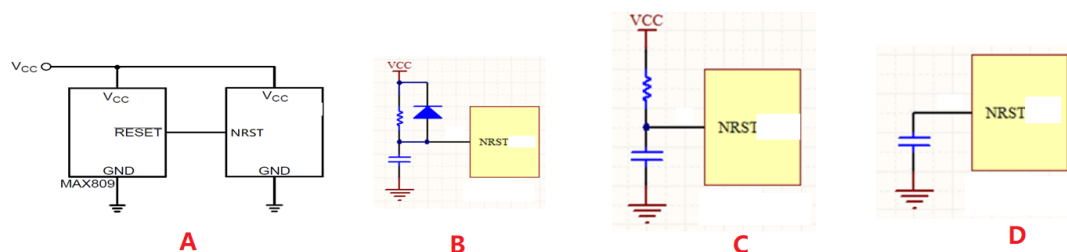


图 1-1：复位电路图

2. NRST 脚可被当作一般 IO 使用。上电默认 NRST 为外部复位口，直到程序配置为 IO 脚。

UM321xA 中该管脚既可作为输入，也可作为输出。

1.3 时钟电路设计

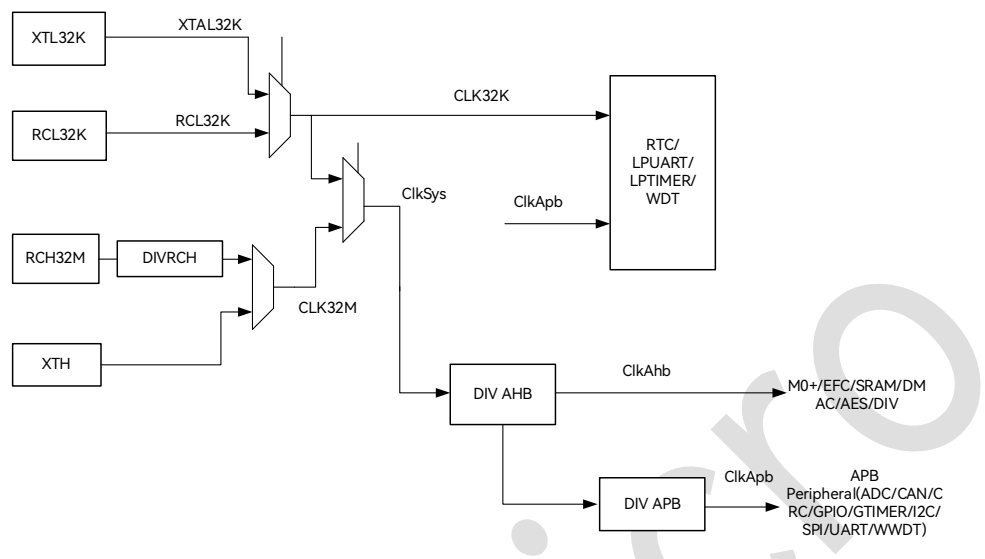


图 1-2：时钟电路图

UM321xA 芯片共有四个系统时钟源：

- 32MHz 高精度内部时钟 RCH，作为系统时钟源
- 4M~24MHz 的外部晶振 XTH，作为系统时钟源
- 32kHz 的内部时钟 RCL，作为低功耗时钟，可作为系统时钟源
- 32.768kHz 的外部晶振 XTL，主要提供 RTC 实时时钟，也可作为系统时钟源

根据工作模式不同，采用不同时钟方案，通过配置系统控制寄存器 0（SYSCTRL0）[14:12]位 CLK_SEL、CLK_SEL_HF 和 CLK_SEL_LF 来选择系统时钟的来源。关系如表 1-1 所示：

表 1-1：系统时钟选择

CLK_SEL	CLK_SEL_HF	系统时钟来源
0	0	RCH
0	1	XTH
CLK_SEL	CLK_SEL_LF	系统时钟来源
1	0	RCL
1	1	XTL

1.4 外部时钟电路设计

高速时钟信号可由两种方式产生的时钟源输入：

- XTH 外部晶体 / 陶瓷谐振器
- 用户外部高速时钟输入（如有源晶振的信号输入）

在高精度 ADC\RTC\CAN 等需要高精度时钟信号的应用中，请使用外部晶体振荡器。

1.4.1 外部晶体振荡器选型

UM321xA 参考设计使用外部石英晶体振荡器，XTH 为 12MHz，XTL 为 32.768kHz。

XTH 推荐使用的晶振参数请参考表 1-2：

表 1-2：推荐 XTH 晶振参数表

参数	规范		备注
	最小值	最大值	
频率	4MHz	24MHz	
频率偏差	< 20PPM		推荐使用小于 20PPM 的晶振
负载电容	5pF	20pF	推荐使用 10pF 左右的晶振
激励电平	> 50 μ W		推荐使用 DL 为 100 μ W
ESR	<100 Ω		推荐选择小于 100 Ω 的晶振

XTL 推荐使用的晶振参数请参考表 1-3：

表 1-3：推荐 XTL 晶振参数表

参数	规范		备注
	最小值	最大值	
频率	32.768kHz		-
频率偏差	< 20PPM		推荐使用小于 20PPM 的晶振
负载电容	5pF	12.5pF	推荐使用小于 12.5pF 的晶振
激励电平	1 μ W		-
ESR	< 100K Ω		推荐选择小于 100k Ω 的晶振

晶振参考电路设计如图 1-3 所示:

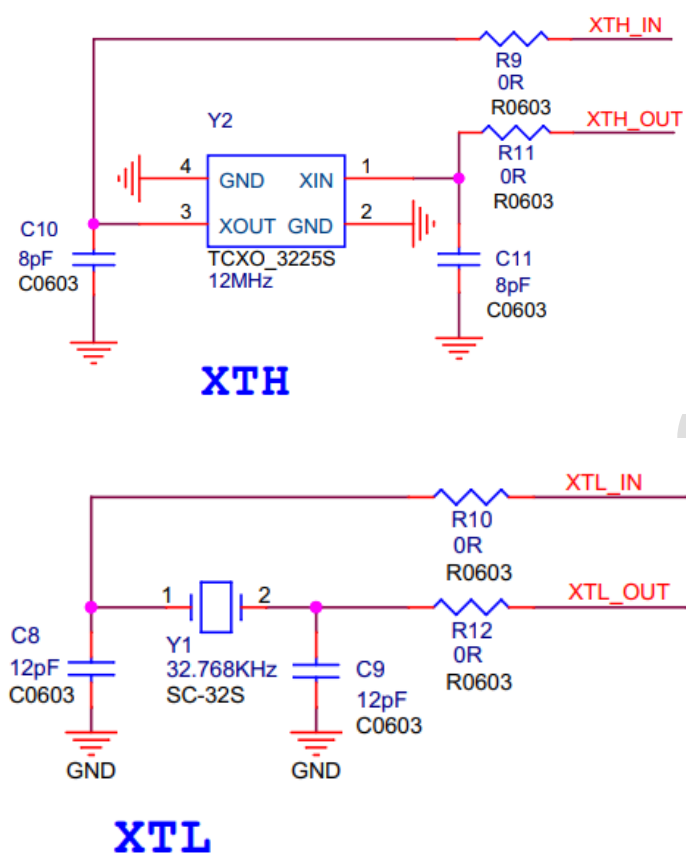


图 1-3: 晶振参考电路设计

2 编译环境设置

2.1 IAR 平台

1. 首次打开 IAR 工程中时，如果提示某个“.c”或“.h”文件包含了不正确的路径时，如图 2-1 所示，单击“确定”，重新编译整个工程后，就不再出现该提示。

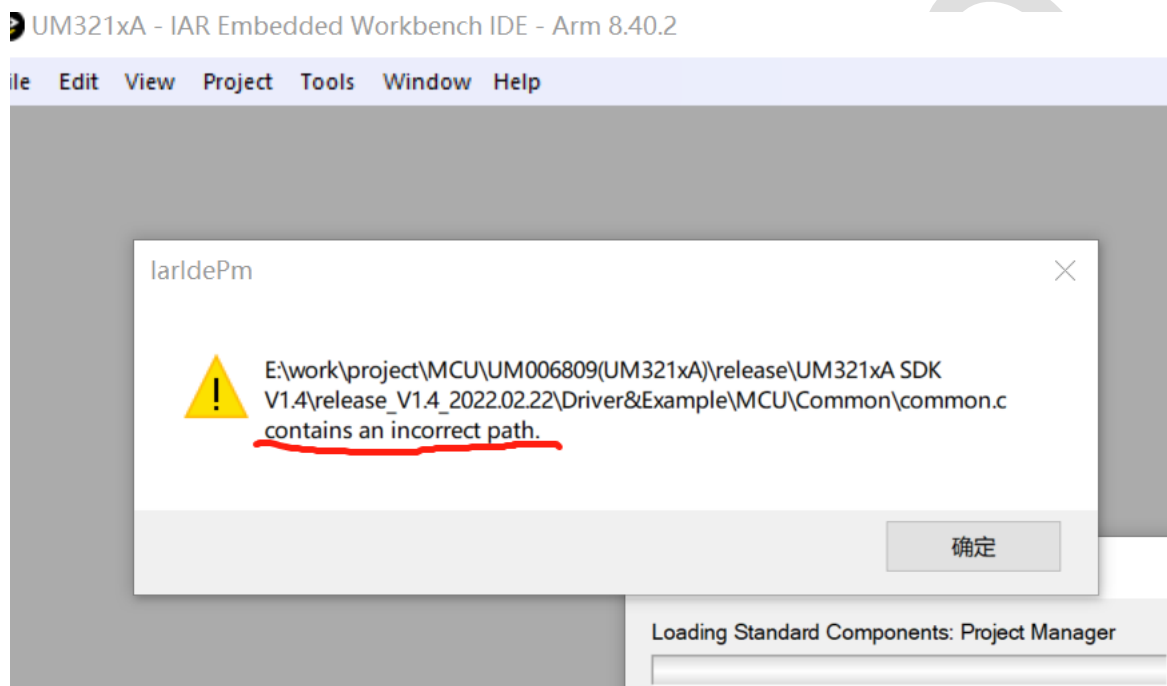


图 2-1：路径报错提示

2. IAR 工程中，首次使用 JTAG 仿真时，Jlink 提示找不到芯片，单击“OK”后，选择“cortex-M0+”即可。

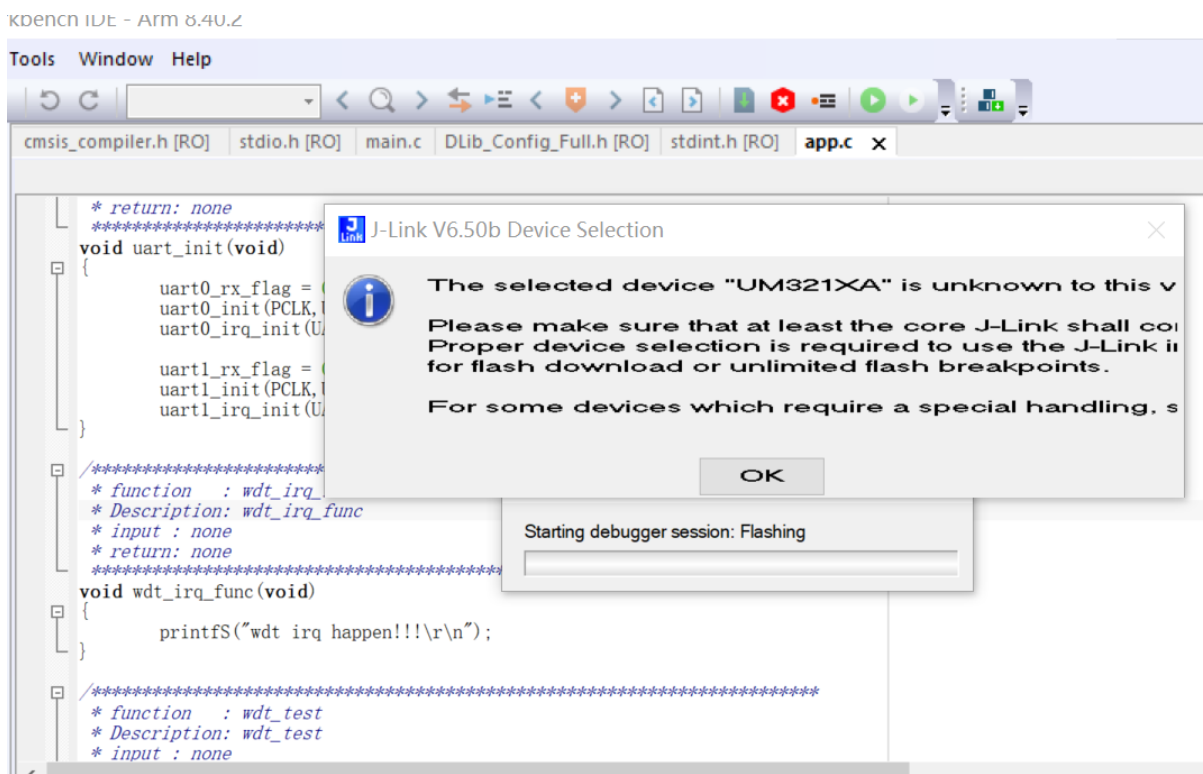


图 2-2：无芯片报错提示

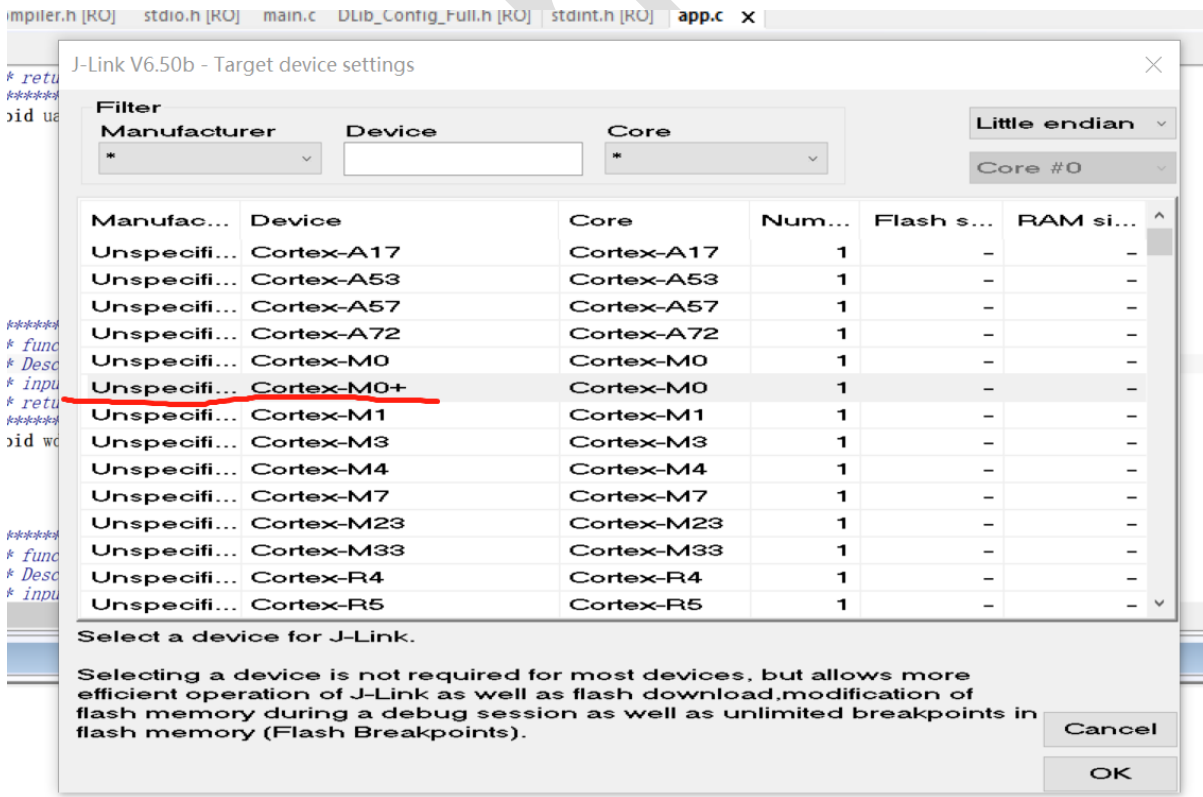


图 2-3：设置目标设备

3 软件设计相关

3.1 时钟设置

1. 系统时钟 0 ~ 32MHz 下 flash 0 等待周期取指，如果想要更低的动态功耗，可以把 RD_WAIT 设成非 0 值，值越大动态功耗越低，系统效率也越低。
2. RCH_DIV 只对内部高速时钟分频有效,不要设置成 0。

HCLK_DIV 对外部高速时钟、内部高速时钟、内部低速时钟 作为系统时钟时，分频都有效。

3.2 Flash 操作相关

擦写 flash 时，先关闭总中断，操作完成后再打开。

3.3 WDT 相关

看门狗作为复位功能时，2 次溢出才复位单片机；使能看门狗后，要关闭看门狗，可把寄存器 PERI_RESET 的第 12 位 WDT_RESET 设置为 0，并非通过 STALL 进行设置，STALL 的作用是在仿真调试时，暂停时 WDT 是否继续计数。

8	STALL	R/W	0	WDT在芯片处于HALT状态时不计数功能的使能位： 0：不使能HALT状态计数器停止工作功能 1：使能HALT状态计数器停止工作功能
---	-------	-----	---	--

4 版本维护

版本	日期	描述
V1.0	2022-03-07	初始版
V1.1	2022-04-19	删除“IO 管脚相关”章节中的第 4 点
V1.2	2026-09-10	新增“1.4 外部时钟电路设计”章节。