

UM2011A 寄存器定义

版本: V1.1



UNICMICRO
广芯微电子

广芯微电子（广州）股份有限公司

<http://www.unicmicro.com/>

条款协议

本文档的所有部分，其著作权归广芯微电子（广州）股份有限公司（以下简称广芯微电子）所有，未经广芯微电子授权许可，任何个人及组织不得复制、转载、仿制本文档的全部或部分组件。本文档没有任何形式的担保、立场表达或其他暗示，若有任何因本文档或其中提及的产品所有资讯所引起的直接或间接损失，广芯微电子及所属员工恕不为其担保任何责任。除此以外，本文档所提到的产品规格及资讯仅供参考，内容亦会随时更新，恕不另行通知。

1. 本文档中所记载的关于电路、软件和其他相关信息仅用于说明半导体产品的操作和应用实例。
用户如在设备设计中应用本文档中的电路、软件和相关信息，请自行负责。对于用户或第三方因使用上述电路、软件或信息而遭受的任何损失，广芯微电子不承担任何责任。
2. 在准备本文档所记载的信息的过程中，广芯微电子已尽量做到合理注意，但是，广芯微电子并不保证这些信息都是准确无误的。用户因本文档中所记载的信息的错误或遗漏而遭受的任何损失，广芯微电子不承担任何责任。
3. 对于因使用本文档中的广芯微电子产品或技术信息而造成的侵权行为或因此而侵犯第三方的专利、版权或其他知识产权的行为，广芯微电子不承担任何责任。本文档所记载的内容不应视为对广芯微电子或其他人所有的专利、版权或其他知识产权作出任何明示、默示或其它方式的许可及授权。
4. 使用本文档中记载的广芯微电子产品时，应在广芯微电子指定的范围内，特别是在最大额定值、电源工作电压范围、热辐射特性、安装条件以及其他产品特性的范围内使用。对于在上述指定范围之外使用广芯微电子产品而产生的故障或损失，广芯微电子不承担任何责任。
5. 虽然广芯微电子一直致力于提高广芯微电子产品的质量和可靠性，但是，半导体产品有其自身的具体特性，如一定的故障发生率以及在某些使用条件下会发生故障等。此外，广芯微电子产品均未进行防辐射设计。所以请采取安全保护措施，以避免当广芯微电子产品在发生故障而造成火灾时导致人身事故、伤害或损害的事故。例如进行软硬件安全设计（包括但不限于冗余设计、防火控制以及故障预防等）、适当的老化处理或其他适当的措施等。

目录

1	概述	1
2	寄存器定义	2
2.1	Reg00 Address: 0x00 Default: 0x5B	2
2.2	Reg01 Address: 0x01 Default: 0x1C	2
2.3	Reg02 Address: 0x02 Default: 0x2C	2
2.4	Reg03 Address: 0x03 Default: 0x44	2
2.5	Reg04 Address: 0x04 Default: 0xFC	3
2.6	Reg05 Address: 0x05 Default: 0x00	3
2.7	Reg06 Address: 0x06 Default: 0x00	3
2.8	Reg07 Address: 0x07 Default: 0xB5	3
2.9	Reg08 Address: 0x08 Default: 0x40	4
2.10	Reg09 Address: 0x09 Default: 0xA6	4
2.11	Reg0A Address: 0x0A Default: 0x38	5
2.12	Reg14 Address: 0x14 Default: 0x08	5
2.13	Reg15 Address: 0x15 Default: 0x08	6
2.14	Reg16 Address: 0x16 Default: 0x50	6
2.15	Reg17 Address: 0x17 Default: 0x00	7
2.16	Reg18 Address: 0x18 Default: 0x33	7
2.17	Reg19 Address: 0x19 Default: 0x11	8
2.18	Reg1A Address: 0x1A Default: 0x80	8
2.19	Reg1B Address: 0x1B Default: 0x80	9
2.20	Reg1C Address: 0x1C Default: 0xC0	9
2.21	Reg1D Address: 0x1D Default: 0x04	9
2.22	Reg1E Address: 0x1E Default: 0x00	9
2.23	Reg1F Address: 0x1F Default: 0x03	9
2.24	Reg20 Address: 0x20 Default: 0x80	10
2.25	Reg21 Address: 0x21 Default: 0x82	10
2.26	Reg22 Address: 0x22 Default: 0x00	11
2.27	Reg23 Address: 0x23 Default: 0xFF	11
2.28	Reg24 Address: 0x24 Default: 0x09	12
2.29	Reg25 Address: 0x25 Default: 0x11	12
2.30	Reg26 Address: 0x26 Default: 0x21	13
2.31	Reg27 Address: 0x27 Default: 0x10	13
2.32	Reg28 Address: 0x28 Default: 0x00	13
2.33	Reg29 Address: 0x29 Default: 0x00	13

2.34	Reg2A Address: 0x2A Default: 0xFF	13
2.35	Reg2B Address: 0x2B Default: 0xFF	14
2.36	Reg2C Address: 0x2C Default: 0xFF	14
2.37	Reg2D Address: 0x2D Default: 0xFF	14
2.38	Reg2E Address: 0x2E Default: 0x01	14
2.39	Reg2F Address: 0x2F Default: 0x10	15
2.40	Reg30 Address: 0x30 Default: 0x00	15
2.41	Reg31 Address: 0x31 Default: 0x55	15
2.42	Reg32 Address: 0x32 Default: 0x03	15
2.43	Reg33 Address: 0x33 Default: 0xD4	16
2.44	Reg34 Address: 0x34 Default: 0x2D	16
2.45	Reg35 Address: 0x35 Default: 0xD4	16
2.46	Reg36 Address: 0x36 Default: 0x2D	16
2.47	Reg37 Address: 0x37 Default: 0x2D	17
2.48	Reg38 Address: 0x38 Default: 0xD4	17
2.49	Reg39 Address: 0x39 Default: 0x2D	17
2.50	Reg3A Address: 0x3A Default: 0xD4	17
2.51	Reg3B Address: 0x3B Default: 0x1F	17
2.52	Reg3C Address: 0x3C Default: 0x10	18
2.53	Reg3D Address: 0x3D Default: 0x00	18
2.54	Reg3E Address: 0x3E Default: 0x26	18
2.55	Reg3F Address: 0x3F Default: 0x31	18
2.56	Reg40 Address: 0x40 Default: 0xA4	19
2.57	Reg41 Address: 0x41 Default: 0xA3	19
2.58	Reg42 Address: 0x42 Default: 0xA2	19
2.59	Reg43 Address: 0x43 Default: 0xA1	19
2.60	Reg44 Address: 0x44 Default: 0x00	20
2.61	Reg45 Address: 0x45 Default: 0x00	20
2.62	Reg46 Address: 0x46 Default: 0x00	20
2.63	Reg47 Address: 0x47 Default: 0x00	20
2.64	Reg48 Address: 0x48 Default: 0xF1	20
2.65	Reg49 Address: 0x49 Default: 0x00	21
2.66	Reg4A Address: 0x4A Default: 0x00	21
2.67	Reg4B Address: 0x4B Default: 0x80	21
2.68	Reg4C Address: 0x4C Default: 0x00	21
2.69	Reg4D Address: 0x4D Default: 0x03	22
2.70	Reg4E Address: 0x4E Default: 0x00	22
2.71	Reg4F Address: 0x4F Default: 0x00	22

2.72	Reg50	Address: 0x50	Default: 0x88	23
2.73	Reg51	Address: 0x51	Default: 0x88	23
2.74	Reg52	Address: 0x52	Default: 0x00	23
2.75	Reg53	Address: 0x53	Default: 0x56	24
2.76	Reg54	Address: 0x54	Default: 0x7A	25
2.77	Reg56	Address: 0x56	Default: 0x18	25
2.78	Reg57	Address: 0x57	Default: 0x00	26
2.79	Reg58	Address: 0x58	Default: 0x00	26
2.80	Reg60	Address: 0x60	Default: 0x00	27
2.81	Reg61	Address: 0x61	Default: 0x00	27
2.82	Reg62	Address: 0x62	Default: 0x00	27
2.83	Reg63	Address: 0x63	Default: 0x00	28
2.84	Reg64	Address: 0x64	Default: 0x00	28
2.85	Reg66	Address: 0x66	Default: 0x00	28
2.86	Reg68	Address: 0x68	Default: 0x00	28
2.87	Reg69	Address: 0x69	Default: 0x00	29
2.88	Reg6A	Address: 0x6A	Default: 0x00	29
2.89	Reg6B	Address: 0x6B	Default: 0x00	29
2.90	Reg6C	Address: 0x6C	Default: 0x00	29
2.91	Reg6D	Address: 0x6D	Default: 0x00	29
2.92	Reg6E	Address: 0x6E	Default: 0x11	30
2.93	Reg6F	Address: 0x6F	Default: 0x20	30
2.94	Reg74	Address: 0x74	Default: 0x00	30
2.95	Reg75	Address: 0x75	Default: 0x00	30
2.96	Reg76	Address: 0x76	Default: 0x00	31
2.97	Reg77	Address: 0x77	Default: 0x00	31
2.98	Reg78	Address: 0x78	Default: 0x00	31
2.99	Reg79	Address: 0x79	Default: 0x00	31
2.100	Reg7A	Address: 0x7A	Default: 0x00	31
2.101	Reg7C	Address: 0x7C	Default: 0x00	32
2.102	Reg7D	Address: 0x7D	Default: 0x00	32
2.103	Reg7F	Address: 0x7F	Default: 0x00	32
2.104	Reg80	Address: 0x80	Default: 0x27	33
2.105	Reg81	Address: 0x81	Default: 0x03	33
2.106	Reg82	Address: 0x82	Default: 0x43	33
2.107	Reg83	Address: 0x83	Default: 0x01	33
2.108	Reg84	Address: 0x84	Default: 0x02	33
2.109	Reg85	Address: 0x85	Default: 0x54	34

2.110 Reg94 Address: 0x94 Default: 0x01	34
2.111 Reg95 Address: 0x95 Default: 0x88	35
2.112 RegAB Address: 0xAB Default: 0x05	35
2.113 RegAC Address: 0xAC Default: 0x38	35
2.114 RegBC Address: 0xBC Default: 0x15	36
2.115 RegBD Address: 0xBD Default: 0xC0	36
2.116 RegBE Address: 0xBE Default: 0x14.....	36
2.117 RegC0 Address: 0xC0 Default: 0x05.....	36
2.118 RegC1 Address: 0xC1 Default: 0xCA	37
2.119 RegC3 Address: 0xC3 Default: 0x02.....	37
2.120 RegC4 Address: 0xC4 Default: 0x20.....	37
2.121 RegC5 Address: 0xC5 Default: 0xFF.....	38
2.122 RegC6 Address: 0xC6 Default: 0x00.....	38
2.123 RegC7 Address: 0xC7 Default: 0xFF.....	38
2.124 RegC8 Address: 0xC8 Default: 0x00.....	38
2.125 RegC9 Address: 0xC9 Default: 0xFF.....	39
2.126 RegCA Address: 0xCA Default: 0x00.....	39
2.127 RegCB Address: 0xCB Default: 0xFF.....	39
2.128 RegCC Address: 0xCC Default: 0x00.....	39
2.129 RegD1 Address: 0xD1 Default: 0x00.....	39
2.130 RegD2 Address: 0xD2 Default: 0x00.....	39
2.131 RegD3 Address: 0xD3 Default: 0x00.....	40
2.132 RegD9 Address: 0xD9 Default: 0x04.....	40
2.133 RegDB Address: 0xDB Default: 0xEA	40
2.134 RegE0 Address: 0xE0 Default: 0x00.....	40
2.135 RegE1 Address: 0xE1 Default: 0x00.....	41
2.136 RegE2 Address: 0xE2 Default: 0x00.....	41
2.137 RegE3 Address: 0xE3 Default: 0x00.....	41
2.138 RegE4 Address: 0xE4 Default: 0x00.....	41
2.139 RegE5 Address: 0xE5 Default: 0x00.....	41
2.140 RegE6 Address: 0xE6 Default: 0x00.....	41
2.141 RegE7 Address: 0xE7 Default: 0x00.....	42
2.142 RegE8 Address: 0xE8 Default: 0x00.....	42
2.143 RegE9 Address: 0xE9 Default: 0x00.....	42
3 版本维护	43

1 概述

本文介绍 UM2011A 寄存器定义，如需要修改 UM2011A 配置，建议使用上位机（RFOCT）进行配置。

2 寄存器定义

2.1 Reg00 Address: 0x00 Default: 0x5B

Bit	Name	Type	Description	Default
7:0	ch_freq[7:0]	R/W	信道频率分频比设置 ch_freq[7:0], ch_freq[29:0]={reg03[5:0],reg02,reg01,reg00}, 低 22bit 为小数, 高 8 位为整数。 ch_freq=rf_freq/ref_freq * (2^22), rf_freq 为信道 频率值, ref_freq 为晶振频率值, 单位为 MHz。	8'h5B

2.2 Reg01 Address: 0x01 Default: 0x1C

Bit	Name	Type	Description	Default
7:0	ch_freq[15:8]	R/W	信道频率分频比设置 ch_freq[15:8]	8'h1C

2.3 Reg02 Address: 0x02 Default: 0x2C

Bit	Name	Type	Description	Default
7:0	ch_freq[23:16]	R/W	信道频率分频比设置 ch_freq[23:16]	8'h2C

2.4 Reg03 Address: 0x03 Default: 0x44

Bit	Name	Type	Description	Default
7:6	lo_div[1:0]	R/W	频段选择: 00: 800MHz~1050MHz 01: 400MHz~525MHz 10: 267MHz~350MHz 11: 200MHz~262MHz	2'b01
5:0	ch_freq[29:24]	R/W	信道频率分频比设置 ch_freq[29:24]	6'h04

2.5 Reg04 Address: 0x04 Default: 0xFC

Bit	Name	Type	Description	Default
7:0	ch_step[7:0]	R/W	信道步进 ch_step[7:0], ch_step[9:0]=step_freq/ref_freq * (2 ¹⁶), step_freq 为步进频率值, ref_freq 为晶振频率值, 单位为 MHz。	8'hFC

2.6 Reg05 Address: 0x05 Default: 0x00

Bit	Name	Type	Description	Default
7	ch_index_en	R/W	信道频率计算方式选择: 0: 信道频率由 ch_freq 设置 1: 信道频率由 ch_freq+step*ch_index 计算	1'b0
6	wor_hop_en	R/W	WOR 唤醒后自动跳频使能: 0: Disable 1: Enable	1'b0
5:4	wor_hop_max	R/W	WOR 唤醒后自动跳频通道数量, 最大 4 个信道, 信道频率 ch_f=ch_freq+step*index 信道号 index 分别由寄存器: ch_index, ch1_freq_num, ch2_freq_num, ch3_freq_num 设置。	2'b00
3:2	reserved	-	-	2'b00
1:0	ch_step[9:8]	R/W	信道 ch_step[9:8]	2'b00

2.7 Reg06 Address: 0x06 Default: 0x00

Bit	Name	Type	Description	Default
7:0	ch_index[7:0]	R/W	信道序号	8'h00

2.8 Reg07 Address: 0x07 Default: 0xB5

Bit	Name	Type	Description	Default
7	vco_cal_err_repeat	R/W	VCO 校准错误时, 选择重复校准 3 次 0: Disable	1'b1

Bit	Name	Type	Description	Default
			1: Enable	
6	vco_fb_divsel	R/W	VCO 校准时钟分频选择 (基于 $f_{vco}/2$): 0: 8 分频 1: 16 分频	1'b0
5	auto_cal_vco	R/W	VCO 校准选择: 0: 选择寄存器 VCO_FB 1: 选择 VCO 自动校准值	1'b1
4	trx_vco_cal_en	R/W	发射或接收前校准 VCO: 0: Disable 1: Enable	1'b1
3:2	vco_cal_t2[1:0]	R/W	校准改变配置后的等待时间, 包括 VCO 校准和 RCBPF 校准: 00: $0.6\mu s$ 01: $1.2\mu s$ 10: $2.4\mu s$ 11: $4.8\mu s$	2'b01
1:0	vco_cal_t3[1:0]	R/W	VCO 校准窗口时间: 00: $2.4\mu s$ 01: $4.8\mu s$ 10: $9.6\mu s$ 11: $19.2\mu s$	2'b01

2.9 Reg08 Address: 0x08 Default: 0x40

Bit	Name	Type	Description	Default
7	vco_hgain	R/W	VCO 调谐高增益模式使能	1'b0
6:0	vco_fb[6:0]	R/W	寄存器直接配置 VCO band	7'h40

2.10 Reg09 Address: 0x09 Default: 0xA6

Bit	Name	Type	Description	Default
7	vco_plat	R/W	VCO 偏置电流选择: 0: CTAT 电流 1: PTAT 电流	1'b1

Bit	Name	Type	Description	Default
6	vcolpf_en	R/W	VCO 电流偏置滤波器使能: 0: Disable 1: Enable	1'b0
5:4	reserved	-	-	2'b10
3:0	vco_gain[3:0]	R/W	VCO 偏置电流设置: 0000: min ... 1111: max	4'b06

2.11 Reg0A Address: 0x0A Default: 0x38

Bit	Name	Type	Description	Default
7	reserved	-	-	1'b0
6:4	fcal_vset[2:0]	R/W	VCO 校准期间 VT 电压设置: 000: 0.4V 001: 0.45V 010: 0.5V ... 111: 0.75V	3'b011
3:0	vco_fset[3:0]	R/W	VCO 中心频率调整: 0000: min ... 1111: max	4'h08

2.12 Reg14 Address: 0x14 Default: 0x08

Bit	Name	Type	Description	Default
7	pw_fifo_en	R/W	使能 FIFO 数据在 Sleep 状态下保存: 0: Sleep 状态下, FIFO 数据不保存 1: Sleep 状态下, FIFO 数据保存	1'b0
6	fifo_share_en	R/W	FIFO 使用方式: 0: RX_FIFO 和 TX_FIFO 独立使用, 分别为 64 个字节 1: RX_FIFO 和 TX_FIFO 联接使用, 在 RX 状态或 TX 状态作为 128 字节 FIFO 使用	1'b0
5:0	fifo_empty_thres	R/W	读 FIFO 时, FIFO 剩余的数据低于 fifo_empty_thres 时	6'h08

Bit	Name	Type	Description	Default
			产生 fifo_flag 中断	

2.13 Reg15 Address: 0x15 Default: 0x08

Bit	Name	Type	Description	Default
7:6	reserved	-	-	2'b00
5:0	fifo_full_thres	R/W	写 FIFO 时, FIFO 剩余的数据空间低于 fifo_full_thres 时产生 fifo_flag 中断	6'h08

2.14 Reg16 Address: 0x16 Default: 0x50

Bit	Name	Type	Description	Default
7:6	synth_lock_dly	R/W	VCO 校准完成后, 等待频综锁定时间: 00: 10 μ s 01: 20 μ s 10: 30 μ s 11: 40 μ s	2'b01
5:3	synth_on_dly	R/W	开启频综电源后延时: 000: 10 μ s 001: 20 μ s 010: 30 μ s ... 111: 80 μ s	3'b010
2	crc_err_rxrst	R/W	收到 CRC 错误时, 状态机选择: 0: 正常接收, 置 CRC_ERR 标志 1: 丢弃该包数据, 重新进入接收	1'b0
1	cont_rx_en	R/W	连续接收状态使能: 0: 收到一包完整数据后, 状态机退回到 IDLE 状态 1: 收到一包完整数据并发出中断后, 状态机重新进入 RX 状态	1'b0
0	fsm_clk_sel	R/W	fsm 模块时钟选择: 0: ref_clk/16 1: ref_clk/32	1'b0

2.15 Reg17 Address: 0x17 Default: 0x00

Bit	Name	Type	Description	Default
7:4	pre_rx_pkt_dly[3:0]	R/W	频综校准后数字解调器延时: 0000: 0 μ s 0001: 20 μ s 0010: 40 μ s ... 1111: 320 μ s	4'h00
3:0	rx_pkt_dly[3:0]	R/W	接收数据包完成后, 状态机延时: 000: 0 μ s 001: 5 μ s 010: 10 μ s ... 111: 35 μ s	4'h00

2.16 Reg18 Address: 0x18 Default: 0x33

Bit	Name	Type	Description	Default
7	pre_txcw_en	R/W	1: 在 PA 开启后到正式发射数据前, 发射 CW 波 0: 在 PA 开启后到正式发射数据前, 发射数据 1	1'b0
6:5	tx_pa_on_dly	R/W	PA 使能等待时间, 如果 PA RAMP 使能则由 RAMP 时间配置决定, 如果 RAMP 关闭由该寄存器设置。 000: 0 μ s 001: 5 μ s 010: 10 μ s ... 111: 35 μ s	2'b01
4	reserved	-	-	1'b1
3:0	tx_cw_dly[3:0]	R/W	PA RAMP 稳定后发射一段 CW 时间: 000: 0 μ s 001: 5 μ s 001: 10 μ s ... 111: 35 μ s	4'h03

2.17 Reg19 Address: 0x19 Default: 0x11

Bit	Name	Type	Description	Default
7:4	tx_pa_latcy_dly[3:0]	R/W	主状态机收到发射包完成后等待时间: 000: 0 μ s 001: 5 μ s 010: 10 μ s ... 111: 35 μ s	4'h10
3:0	tx_pa_off_dly[3:0]	R/W	PA 关闭时 RAMP 时间, PA RAMP 使能时由 RAMP 时间配置决定, PA RAMP 不使能由该寄存器配置。 000: 0 μ s 001: 5 μ s 010: 10 μ s ... 111: 35 μ s	4'h01

2.18 Reg1A Address: 0x1A Default: 0x80

Bit	Name	Type	Description	Default
7:4	auto_det_wait_time	R/W	发射前最大信道状态检测次数	4'h08
3	auto_det_tx_ch1	R/W	发射数据包前检测信道: 0: Disable 1: Enable	1'b0
2	auto_det_ch1_mode	R/W	发射数据包前检测信道模式: 0: 检测次数超过限制时退出发射状态 1: 检测次数超过限制时强制发射数据	1'b0
1:0	tx_done_dly[1:0]	R/W	发射包状态机在发射完数据包后, 延时给出发射完成信号: 00: 2 bits 01: 4 bits 10: 6 bits 11: 8 bits	2'b0

2.19 Reg1B Address: 0x1B Default: 0x80

Bit	Name	Type	Description	Default
7:0	auto_det_rssi_dly	R/W	检测信道忙后等待下一次检测时间, 每个 step 为 1.25ms	8'h80

2.20 Reg1C Address: 0x1C Default: 0xC0

Bit	Name	Type	Description	Default
7:0	auto_det_busy_ref	R/W	发射前自动检测信道状态的 RSSI 门限值	8'hC0

2.21 Reg1D Address: 0x1D Default: 0x04

Bit	Name	Type	Description	Default
7	txoff_fsm_sel	R/W	0: 在 TX 期间收到 IDLE 指令, 马上关闭 PA, 然后进入 IDLE 状态 1: 在 TX 期间收到 IDLE 指令, 等待 PA RAMP DOWN 完成后进入 IDLE 状态	1'b0
6:4	reserved	-	-	3'b100
3:0	auto_det_rssi_rd_time[3:0]	R/W	进入检测状态后等待读 RSSI 的时间, 每个 step 为 640μs	4'h00

2.22 Reg1E Address: 0x1E Default: 0x00

Bit	Name	Type	Description	Default
7:0	tx_pkt_num	R/W	每个发射命令重复发射数据包数量, 发射多包数据时 postamble_en 需有效, 如配置为 00 时, 一共发射 1 个数据包, 配置为 1 时, 发射 2 个数据包	8'h00

2.23 Reg1F Address: 0x1F Default: 0x03

Bit	Name	Type	Description	Default
7:6	reserved	-	-	2'b00
5	ack_payload_en	R/W	返回 ACK 包选择:	1'b1

Bit	Name	Type	Description	Default
			0: preamble + syncword 1: preamble + syncword + payload	
4	auto_ack	R/W	AUTO ACK 使能: 0: Disable 1: Enable	1'b1
3:0	retx_times[3:0]	R/W	自动重发次数	4'h00

2.24 Reg20 Address: 0x20 Default: 0x80

Bit	Name	Type	Description	Default
7:0	auto_ack_rx_time	R/W	Auto ACK 功能开启时, 发射端发完数据包后等待 ACK 数据的时间, 超时会重新发射数据, 每个 step 为 1.25ms	8'h80

2.25 Reg21 Address: 0x21 Default: 0x82

Bit	Name	Type	Description	Default
7	payload_bit_order	R/W	Payload bit 顺序: 0: LSB 低位在前 1: MSB 高位在前	1'b1
6:5	direct_datain_rglic	R/W	直通输入时, 滤除脉宽配置, 建议配置 11	2'b00
4:3	direct_datain_sel	R/W	直通数据引脚选择, 注意要将相应引脚方向设置为输入: 00: 无效 01: GPIO0 10: GPIO1 11: GPIO2	2'b00
2	direct_mode	R/W	直通模式使能, 发射数据从 GPIO 口直接输入: 0: Disable 1: Enable	1'b0
1:0	packet_mode	R/W	数据帧控制模式: 00: 模式 0, 循环发射 TX FIFO 中的数据, 需要 MCU 写命令退出接收或发射状态 01: 模式 1, 由寄存器控制数据包长度 10: 模式 2, TX FIFO 中的第 1 个或前 2 个字节	2'b10

Bit	Name	Type	Description	Default
			作为包长度 11: 模式 3, 含有 length, address, seqnum 等多种数据域的模式	

2.26 Reg22 Address: 0x22 Default: 0x00

Bit	Name	Type	Description	Default
7	length_2byte_sel	R/W	选择 1 个或 2 个字节作为包长度控制域: 0: 1 字节 1: 2 字节	1'b0
6	length_byte_swap	R/W	包长度控制域为两个字节时, 高低字节顺序交换: 0: 低字节在前 1: 高字节在前	1'b0
5	mancst_dif_en		差分曼切斯特编码使能: 0: Disable 1: Enable	1'b0
4	mancst_inv	R/W	曼彻斯特编码反向: 0: 上升沿为编码 1, 下降沿为编码 0 1: 下降沿为编码 1, 上升沿为编码 0	1'b0
3:2	pkt_enc_type		Payload 数据包编码: 00: NRZ 无编码 01: 曼彻斯特编码 10: 无效 11: 交织编码	2'b00
1:0	fec_type	R/W	Payload 数据包 FEC 类型: 00: NO FEC 01: 1/3 FEC 10: 2/3 FEC	2'b00

2.27 Reg23 Address: 0x23 Default: 0xFF

Bit	Name	Type	Description	Default
7:0	scramble_seed[7:0]	R/W	扰码种子初始值	8'hFF

2.28 Reg24 Address: 0x24 Default: 0x09

Bit	Name	Type	Description	Default
7	scramble_en	R/W	伪随机扰码使能: 0: Disable 1: Enable	1'b0
6	scramble_len	R/W	伪随机数产生器长度: 0: PN9 1: PN7	1'b0
5	scramble_msb	R/W	选择首先输出的移位寄存器: 0: D0 1: D8 或 D6, reg24[6]为 1 时选择 D6, 否则选择 D8	1'b0
4	scramble_type	R/W	伪随机数产生器类型, 插入还是抽出: 0: 抽出做异或 1: 插入做异或	1'b0
3:1	scramble_poly		反馈抽头位置选择	3'b00
0	scramble_seed[8]	R/W	扰码种子初始值	1'b0

2.29 Reg25 Address: 0x25 Default: 0x11

Bit	Name	Type	Description	Default
7	crc_en	R/W	CRC 使能: 0: Disable 1: Enable	1'b0
6	reserved	-	-	1'b0
5	crc_rx_infifo_en	R/W	接收的 CRC 值是否需要写入 RX FIFO: 0: Disable 1: Enable	1'b0
4	crc_bit_order	R/W	CRC bit 顺序: 0: LSB 1: MSB	1'b1
3	crc_inv	R/W	CRC bit 取反: 0: Disable 1: Enable	1'b0
2	crc_byte_swap	R/W	CRC 字节交换使能: 0: Disable	1'b0

Bit	Name	Type	Description	Default
			1: Enable	
1:0	crc_len	R/W	CRC 长度: 00: 8 位 01: 16 位 10: 24 位 11: 32 位	2'b01

2.30 Reg26 Address: 0x26 Default: 0x21

Bit	Name	Type	Description	Default
7:0	crc_poly[7:0]	R/W	crc_poly 多项式配置	8'h21

2.31 Reg27 Address: 0x27 Default: 0x10

Bit	Name	Type	Description	Default
7:0	crc_poly[15:8]	R/W	crc_poly 多项式配置	8'h10

2.32 Reg28 Address: 0x28 Default: 0x00

Bit	Name	Type	Description	Default
7:0	crc_poly[23:16]	R/W	crc_poly 多项式配置	8'h00

2.33 Reg29 Address: 0x29 Default: 0x00

Bit	Name	Type	Description	Default
7:0	crc_poly[31:24]	R/W	crc_poly 多项式配置	8'h00

2.34 Reg2A Address: 0x2A Default: 0xFF

Bit	Name	Type	Description	Default
7:0	crc_init_data[7:0]	R/W	crc_init_data 初始值配置	8'hFF

2.35 Reg2B Address: 0x2B Default: 0xFF

Bit	Name	Type	Description	Default
7:0	crc_init_data[15:8]	R/W	crc_init_data 初始值配置	8'hFF

2.36 Reg2C Address: 0x2C Default: 0xFF

Bit	Name	Type	Description	Default
7:0	crc_init_data[23:16]	R/W	crc_init_data 初始值配置	8'hFF

2.37 Reg2D Address: 0x2D Default: 0xFF

Bit	Name	Type	Description	Default
7:0	crc_init_data[31:24]	R/W	crc_init_data 初始值配置	8'hFF

2.38 Reg2E Address: 0x2E Default: 0x01

Bit	Name	Type	Description	Default
7	rx_data_inverse	R/W	解调数据取反使能: 0: Disable 1: Enable	1'b0
6	tx_data_inverse	R/W	发射数据取反使能: 0: Disable 1: Enable	1'b0
5:4	tx_test_data	R/W	发射测试数据: 00: 正常数据包 01: 全 0 10: 全 1 11: 全 preamble	2'b0
3	difmancst_1st_sel	R/W	第一个 bit 编码输出选择: 0: 第一个 bit 为 0 时, 编码为上升沿, 第一个 bit 为 1 时, 编码为下降沿 1: 根据上一个 bit 数据确定	1'b0
2	reserved	-	-	1'b0

Bit	Name	Type	Description	Default
1	tx_preamble_unit	R/W	发射 preamble 数量单位: 0: byte 1: bit	1'b0
0	tx_preamble_en	R/W	发射 preamble 使能: 0: Disable 1: Enable	1'b1

2.39 Reg2F Address: 0x2F Default: 0x10

Bit	Name	Type	Description	Default
7:0	tx_preamble_len[7:0]	R/W	发射 preamble 长度低字节	8'h10

2.40 Reg30 Address: 0x30 Default: 0x00

Bit	Name	Type	Description	Default
7:0	tx_preamble_len[15:8]	R/W	发射 preamble 长度高字节	8'h00

2.41 Reg31 Address: 0x31 Default: 0x55

Bit	Name	Type	Description	Default
7:0	tx_preamble_set	R/W	preamble 设定值, 按该值进行发射	8'h55

2.42 Reg32 Address: 0x32 Default: 0x03

Bit	Name	Type	Description	Default
7:4	sync_thres	R/W	同步字检测允许的误差位数	1'b0
3	sync_mancst_en	R/W	同步字曼切斯特编码使能: 0: Disable 1: Enable	1'b0
2	sync_byte_swap	R/W	同步字字节交换使能: 0: reg0x33 为 sync_id[7:0], reg0x3a 为 sync_id[63:56] 1: reg0x33 为 sync_id[63:56], reg0x3a 为 sync_id[7:0]	1'b0

Bit	Name	Type	Description	Default
1	sync_bit_order	R/W	同步字 bit 顺序: 0: sync_id 的 LSB 1: sync_id 的 MSB	1'b1
0	syncword_en	R/W	同步字使能: 0: Disable 1: Enable	1'b1

2.43 Reg33 Address: 0x33 Default: 0xD4

Bit	Name	Type	Description	Default
7:0	sync_id[7:0]	R/W	同步字配置 sync_id[7:0], 同步字长度由 syncword_len 设置, 如 syncword_len 为 0x1f, 则使用的同步字为 32bits, 具体数据由 sync_id[31:0]设置。例如 sync_id[63:0]=0x12345678, syncword_len=0x23 (syncword 长度为 36bits), sync_bit_order=1, 则先发射 0x45678 的最高位; 如 sync_bit_order=0, 则先发射 0x45678 的最低位。	8'hD4

2.44 Reg34 Address: 0x34 Default: 0x2D

Bit	Name	Type	Description	Default
7:0	sync_id[15:8]	R/W	同步字配置 sync_id[15:8]。	8'h2D

2.45 Reg35 Address: 0x35 Default: 0xD4

Bit	Name	Type	Description	Default
7:0	sync_id[23:16]	R/W	同步字配置 sync_id[23:16]。	8'hD4

2.46 Reg36 Address: 0x36 Default: 0x2D

Bit	Name	Type	Description	Default
7:0	sync_id[31:24]	R/W	同步字配置 sync_id[31:24]。	8'h2D

2.47 Reg37 Address: 0x37 Default: 0x2D

Bit	Name	Type	Description	Default
7:0	sync_id[39:32]	R/W	同步字配置 sync_id[39:32]。	8'h2D

2.48 Reg38 Address: 0x38 Default: 0xD4

Bit	Name	Type	Description	Default
7:0	sync_id[47:40]	R/W	同步字配置 sync_id[47:40]。	8'hD4

2.49 Reg39 Address: 0x39 Default: 0x2D

Bit	Name	Type	Description	Default
7:0	sync_id[55:48]	R/W	同步字配置 sync_id[55:48]。	8'h2D

2.50 Reg3A Address: 0x3A Default: 0xD4

Bit	Name	Type	Description	Default
7:0	sync_id[63:56]	R/W	同步字配置 sync_id[63:56]。	8'hD4

2.51 Reg3B Address: 0x3B Default: 0x1F

Bit	Name	Type	Description	Default
7	sync_rssi_match	R/W	为‘1’时, syncword 匹配时同时要 RSSI 满足 rssi 门限条件	1'b0
6	sync_preamb_match	R/W	为‘1’时, syncword 匹配时同时要满足 preamble 已经匹配	1'b0
5:0	syncword_len	R/W	同步字 bit 长度, 最长 64bits, 长度为 syncword_len+1	6'h1F

2.52 Reg3C Address: 0x3C Default: 0x10

Bit	Name	Type	Description	Default
7:0	payload_length[7:0]	R/W	Payload 字节长度	8'h10

2.53 Reg3D Address: 0x3D Default: 0x00

Bit	Name	Type	Description	Default
7:0	payload_length[15:8]	R/W	Payload 字节长度	8'h00

2.54 Reg3E Address: 0x3E Default: 0x26

Bit	Name	Type	Description	Default
7:6	reserved	-	-	2'b00
5	m3_length_en	R/W	数据包模式 3 时, 数据长度域控制: 0: Disable 1: Enable	1'b1
4	m3_crc_sel	R/W	数据包模式 3 时, CRC 计算数据区域选择: 0: 整个 payload 域做 CRC 计算 1: 只对 data 域做 CRC 计算	1'b0
3:0	m3_ack_node_ctrl	R/W	数据包模式 3 且 AUTO_ACK 功能开启, 返回的 ACK 包控制: [3]: 为'1'时使能返回接收到的数据长度 [2]: 为'1'时使能返回接收到的地址 [1]: 为'1'时使能返回接收到的 seqnum [0]: 为'1'时使能返回接收到的 FCS2 数据	4'h06

2.55 Reg3F Address: 0x3F Default: 0x31

Bit	Name	Type	Description	Default
7:6	reserved	-	-	2'b00
5:4	m3_addr_size	R/W	数据包模式 3 时, 地址长度为 m3_addr_size + 1	2'b11
3	m3_addr_err_mask	R/W	数据包模式 3 时, 地址错误 mask	1'b0

Bit	Name	Type	Description	Default
2	m3_addr_split_mode	R/W	数据包模式 3 时，将地址分为源地址和目的地址，在返回 ACK 时，将收到的源地址和目的地址位置互换： 0: 不互换 1: 互换	1'b0
1	m3_addr_pos_sel	R/W	数据包模式 3 时，地址位置选择： 0: address 放在 length 之后 1: address 放在 length 之前	1'b0
0	m3_addr_en	R/W	数据包模式 3 时，地址域控制： 0: Disable 1: Enable	1'b1

2.56 Reg40 Address: 0x40 Default: 0xA4

Bit	Name	Type	Description	Default
7:0	m3_addr_value[7:0]	R/W	数据包模式 3 时，地址数据	8'hA4

2.57 Reg41 Address: 0x41 Default: 0xA3

Bit	Name	Type	Description	Default
7:0	m3_addr_value[15:8]	R/W	数据包模式 3 时，地址数据	8'hA3

2.58 Reg42 Address: 0x42 Default: 0xA2

Bit	Name	Type	Description	Default
7:0	m3_addr_value[23:16]	R/W	数据包模式 3 时，地址数据	8'hA2

2.59 Reg43 Address: 0x43 Default: 0xA1

Bit	Name	Type	Description	Default
7:0	m3_addr_value[31:24]	R/W	数据包模式 3 时，地址数据	8'hA1

2.60 Reg44 Address: 0x44 Default: 0x00

Bit	Name	Type	Description	Default
7:0	m3_addr_bitmask[7:0]	R/W	数据包模式 3 时, 接收地址比较 mask, mask 为‘1’时对应地址位不作比较	8'h00

2.61 Reg45 Address: 0x45 Default: 0x00

Bit	Name	Type	Description	Default
7:0	m3_addr_bitmask[15:8]	R/W	数据包模式 3 时, 接收地址比较 mask, mask 为‘1’时对应地址位不作比较	8'h00

2.62 Reg46 Address: 0x46 Default: 0x00

Bit	Name	Type	Description	Default
7:0	m3_addr_bitmask[23:16]	R/W	数据包模式 3 时, 接收地址比较 mask, mask 为‘1’时对应地址位不作比较	8'h00

2.63 Reg47 Address: 0x47 Default: 0x00

Bit	Name	Type	Description	Default
7:0	m3_addr_bitmask[31:24]	R/W	数据包模式 3 时, 接收地址比较 mask, mask 为‘1’时对应地址位不作比较	8'h00

2.64 Reg48 Address: 0x48 Default: 0xF1

Bit	Name	Type	Description	Default
7	m3_fcs2_en	R/W	数据包模式 3 时, FCS2 数据域使能: 0: Disable 1: Enable	1'b1
6:4	m3_fcs2_bit_size	R/W	数据包模式 3 时, FCS2 域 bit 长度	3'b111
3	reserved	-	-	1'b0
2	m3_seqnum_bit_size	R/W	数据包模式 3 时, Seqnum 数据长度: 0: 8 bits	1'b0

Bit	Name	Type	Description	Default
			1: 16 bits	
1	m3_seqnum_auto_inc	R/W	数据包模式 3 时, Seqnum 选择: 0: Seqnum 数据由{reg49,reg4a}配置 1: 由内部 Seqnum 计数器配置, Seqnum 数据自动加 1	1'b0
0	m3_seqnum_en	R/W	数据包模式 3 时, Seqnum 数据使能: 0: Disable 1: Enable	1'b1

2.65 Reg49 Address: 0x49 Default: 0x00

Bit	Name	Type	Description	Default
7:0	m3_seqnum_reg[7:0]	R/W	数据包模式 3 时, Seqnum 域配置值	8'h00

2.66 Reg4A Address: 0x4A Default: 0x00

Bit	Name	Type	Description	Default
7:0	m3_seqnum_reg[15:8]	R/W	数据包模式 3 时, Seqnum 域配置值	8'h00

2.67 Reg4B Address: 0x4B Default: 0x80

Bit	Name	Type	Description	Default
7:0	m3_fcs2_value	R/W	数据包模式 3 时, FCS2 数据, 最高位表示 ACK request, 其他位保留	8'h80

2.68 Reg4C Address: 0x4C Default: 0x00

Bit	Name	Type	Description	Default
7:0	postamble_value	R/W	包发送结束后, 发送的后导码的值, 使能后按字节循环发送	8'h00

2.69 Reg4D Address: 0x4D Default: 0x03

Bit	Name	Type	Description	Default
7:0	postamble_len	R/W	后导码的字节长度	8'h03

2.70 Reg4E Address: 0x4E Default: 0x00

Bit	Name	Type	Description	Default
7	postamble_en	R/W	后导码发射使能，发射多包时，该位需要使能： 0: Disable 1: Enable	1'b0
6:0	reserved	-	-	3'b000

2.71 Reg4F Address: 0x4F Default: 0x00

Bit	Name	Type	Description	Default
7	preamble_len_sel	R/W	在非 WOR 多通道模式时，可以选择加长 preamble_match_len 的配置： 0: preamble_match_len[3:0] 1: reg0x50[7:0]	1'b0
6	preamb_match_ctrl	R/W	Preamble 匹配条件选择： 0: preamble 长度匹配 1: rssi_valid 信号有效后再进入 preamble 匹配	1'b0
5:4	rxdata_mask_sel	R/W	解调数据输出屏蔽： 00: 不屏蔽 01: preamble 有效后再输出 10: rssi_pjd_valid 有效后再输出 11: preamble 和 rssi_pjd_valid 都有效再输出	1'b0
3	nocdr_inp_mode	R/W	解调数据占空比调整方向： 0: 高电平缩小 1: 高电平增加	1'b0
2:0	nocdr_inp_range	R/W	解调数据占空比调整： 000: 不调整 001: 1/16 010: 2/16	3'b000

Bit	Name	Type	Description	Default
			011: 3/16 100: 4/16 101: 5/16 110: 7/16 111: 8/16	

2.72 Reg50 Address: 0x50 Default: 0x88

Bit	Name	Type	Description	Default
7:4	ch1_prea_match_len	R/W	WOR 多通道模式时, 通道 1 的匹配 preamble 长度设置	4'h80
3:0	preamb_match_len	R/W	接收 preamble 匹配长度, 单位为 bit 在 WOR 多通道时 pramble_match_len[3:0]为 ch0 的 preamble_len 配置, 在非 WOR 多通道时, 由 preamble_len_sel 选择加长 preamble_match_len 的配置	4'h08

2.73 Reg51 Address: 0x51 Default: 0x88

Bit	Name	Type	Description	Default
7:4	ch3_prea_match_len	R/W	WOR 多通道模式时, 通道 3 的匹配 preamble 长度设置	4'h80
3:0	ch2_prea_match_len	R/W	WOR 多通道模式时, 通道 2 的匹配 preamble 长度设置	4'h08

2.74 Reg52 Address: 0x52 Default: 0x00

Bit	Name	Type	Description	Default
7	reserved	-	-	1'b0
6:4	brclk_sel	R/W	GPIO 口时钟输出选择: 000: rx_clk 001: xtal_core 010: fcal_clk 011: clk_fsm	3'b000

Bit	Name	Type	Description	Default
			100: synth_clk 101: clk_tx1 110: clk_rcl 111: adc_wclk	
3	reserved	-	-	1'b0
2	gpio2_dir	R/W	GPIO2 方向控制: 0: Output 1: Input	1'b0
1	gpio1_dir	R/W	GPIO1 方向控制: 0: Output 1: Input	1'b0
0	gpio0_dir	R/W	GPIO0 方向控制: 0: Output 1: Input	1'b0

2.75 Reg53 Address: 0x53 Default: 0x56

Bit	Name	Type	Description	Default
7:4	gpio1_o_sel	R/W	GPIO1 输出信号选择: 0000: NIRQ, 由 reg0x56 设置的中断使能选择, 可多个使能同时有效。(rx_pkt_int tx_pkt_int preamble_int syncword_int fifo_int vco_lock_int rssi_pjd_int lbd_warn_int) 0001: rx_pkt_flag 0010: preamble_flag 0011: syncword_flag 0100: fifo_flag 0101: clko_sel 0110: rxdata 0111: vco_lock_flag 1000: crc_error 1001: rssi_pjd_flag 1010: lbd_warn 1011: tr_sw 1100: ~tr_sw 1101: rx_fifo_wrbyte	4'h50

Bit	Name	Type	Description	Default
			1110: 1 1111: 0	
3:0	gpio0_o_sel	R/W	GPIO0 输出信号选择, 同上	4'h06

2.76 Reg54 Address: 0x54 Default: 0x7A

Bit	Name	Type	Description	Default
7:4	reserved	-	-	4'h70
3:0	gpio2_o_sel	R/W	GPIO2 输出信号选择, 同上	4'h0A

2.77 Reg56 Address: 0x56 Default: 0x18

Bit	Name	Type	Description	Default
7	lbd_warn_int_en	R/W	LBD 报警中断使能: 0: Disable 1: Enable	1'b0
6	vco_lock_int_en	R/W	VCO 错误中断使能: 0: Disable 1: Enable	1'b0
5	fifo_int_en	R/W	FIFO 中断使能: 0: Disable 1: Enable	1'b0
4	tx_pkt_int_en	R/W	发射包完成中断使能: 0: Disable 1: Enable	1'b1
3	rx_pkt_int_en	R/W	接收包完成中断使能: 0: Disable 1: Enable	1'b1
2	sync_int_en	R/W	Syncword 中断使能: 0: Disable 1: Enable	1'b0
1	preamble_int_en	R/W	Preamble 中断使能: 0: Disable 1: Enable	1'b0
0	rss_i_pjd_int_en	R/W	RSSI 有效中断使能, 且 RSSI 有效可选组合输	1'b0

Bit	Name	Type	Description	Default
			出, 由 rssi_pjd_int_sel 选择: 0: Disable 1: Enable	

2.78 Reg57 Address: 0x57 Default: 0x00

Bit	Name	Type	Description	Default
7:6	wor_event_gpio_sel	R/W	选择一个 GPIO 输出 wor_event 信号: 00: 不输出 01: GPIO0 10: GPIO1	2'b00
5	reserved	-	-	1'b0
4	spi_read_sel	R/W	SPI 读寄存器使能: 0: Disable 1: Enable	1'b0
3	int_level_sel	R/W	中断信号取反: 0: 上升沿中断 1: 下降沿中断	1'b0
2	reserved	-	-	1'b0
1:0	rssi_pjd_int_sel	R/W	00: rx_rssi_valid 01: rssi_pjd_valid 10: rssi_pjd_valid&preamble_match 11: rssi_pjd_valid&sync_match	2'b00

2.79 Reg58 Address: 0x58 Default: 0x00

Bit	Name	Type	Description	Default
7:5	reserved	-	reserved	3'b0
4	lbd_en	R/W	LBD 使能: 0: Disable 1: Enable	1'b0
3:0	lbd_volt	R/W	LBD 电压设置: 0000: 2.0V 0001: 2.1V 0010: 2.2V	4'h00

Bit	Name	Type	Description	Default
			... 1011: 3.1V(Max)	

2.80 Reg60 Address: 0x60 Default: 0x00

Bit	Name	Type	Description	Default
7	idle_cmd	R	IDLE	1'b0
6	txon_cmd	R	TXON	1'b0
5	rxon_cmd	R	RXON	1'b0
4	tx_fson_cmd	R	TXFSON	1'b0
3	rx_fson_cmd	R	RXFSON	1'b0
2:1	reserved	R	-	1'b0
0	srcc_cmd	R	RCCAL	1'b0

2.81 Reg61 Address: 0x61 Default: 0x00

Bit	Name	Type	Description	Default
7	syncword_int	R	Syncword 中断	1'b0
6	preamble_int	R	Preamble 中断	1'b0
5	crc_error	R	1: CRC error	1'b0
4	rx_pkt_flag	R	接收包或发射包完成中断	1'b0
3	fifo_flag	R	FIFO 空或满中断	1'b0
2	rssj_pjd_valid	R	RSSI_PJD 有效中断	1'b0
1	vco_lock_int	R	VCO 校准失效标志	1'b0
0	tx_pkt_flag	R	包发射完成标志	1'b0

2.82 Reg62 Address: 0x62 Default: 0x00

Bit	Name	Type	Description	Default
7	rx_rssi_valid	R	RSSI 有效中断	1'b0
6	preamble_match	R	preamble 实时匹配状态	1'b0
5:0	fsm_st	R	状态机	6'h00

2.83 Reg63 Address: 0x63 Default: 0x00

Bit	Name	Type	Description	Default
7:5	rx_pkt_st	R	000: rx_idle 001: rx_preamble 011: rx_id 010: rx_data 110: rx_crc 110: rx_done	3'b0
4:3	reserved	-	-	2'b00
2	gpio_2	R	GPIO2 输入状态	1'b0
1	gpio_1	R	GPIO1 输入状态	1'b0
0	gpio_0	R	GPIO0 输入状态	1'b0

2.84 Reg64 Address: 0x64 Default: 0x00

Bit	Name	Type	Description	Default
7:0	rssr	R	RSSI 值, 需要转换 $RSSI_VALUE = -(\text{reg0x64}/2)$	8'h00

2.85 Reg66 Address: 0x66 Default: 0x00

Bit	Name	Type	Description	Default
7	rcl_cal_done	R	RCL 校准完成标志	1'b0
6:0	rcl_ftrim	R	RCL 校准值	7'h00

2.86 Reg68 Address: 0x68 Default: 0x00

Bit	Name	Type	Description	Default
7:6	reserved	-	-	2'b00
5:3	tx_pkt_st	R	000: tx_idle 001: tx_id 011: tx_data 010: tx_crc 110: tx_ptab	1'b0

Bit	Name	Type	Description	Default
			111: tx_done	
2:0	reserved	-	-	3'b000

2.87 Reg69 Address: 0x69 Default: 0x00

Bit	Name	Type	Description	Default
7	reserved	-	-	1'b0
6:0	vco_cal_value	R	校准值	7'h00

2.88 Reg6A Address: 0x6A Default: 0x00

Bit	Name	Type	Description	Default
7:4	lbd_data	R	电压检测值	4'h00
3	lbd_warn	R	低电压报警状态	1'b0
2	reserved	-	-	1'b0
1	m3_seqnum_ok	R	1: 包模式 3, 接收 Seqnum 正确	1'b0
0	m3_addr_comp_ok	R	1: 包模式 3, 接收地址匹配正确	1'b0

2.89 Reg6B Address: 0x6B Default: 0x00

Bit	Name	Type	Description	Default
7:0	m3_rx_fcs2_value	R	包模式 3, 接收 FCS2 域值	8'h00

2.90 Reg6C Address: 0x6C Default: 0x00

Bit	Name	Type	Description	Default
7:0	rx_fifo_byte	R	接收 Payload 的单字节数据	8'h00

2.91 Reg6D Address: 0x6D Default: 0x00

Bit	Name	Type	Description	Default
7:0	wor_ch	R	WOR 多通道模式时, 当前通道指示	8'h00

2.92 Reg6E Address: 0x6E Default: 0x11

Bit	Name	Type	Description	Default
7:0	Ver	R	版本号	8'h11

2.93 Reg6F Address: 0x6F Default: 0x20

Bit	Name	Type	Description	Default
7:0	Ver	R	版本号	8'h20

2.94 Reg74 Address: 0x74 Default: 0x00

Bit	Name	Type	Description	Default
7	clr_rssi_lock_value	R/W	写 1 清除锁定的 RSSI 值	1'b0
6	lbd_volt_scan	R/W	写 1 启动扫描 LBD 电压值	1'b0
5	reserved	-	-	1'b0
4	wor_go_on	R/W	写 1 继续 WOR 模式, 当 wor_ext_mode 为 0, 即 WOR 进入 T3 模式后一直保持在 T3 状态, 这时如果需要重新进入 WOR 循环, 可以对该位写 1, 继续启动 WOR	1'b0
3	clr_pjd_valid	R/W	写 1 清除 pjd_valid 信号	1'b0
2	clr_syncword_int	R/W	写 1 清除 syncword 中断	1'b0
1	clr_preamble_int	R/W	写 1 清除 preamble 中断	1'b0
0	clr_pkt_flag_int	R/W	写 1 清除包完成中断	1'b0

2.95 Reg75 Address: 0x75 Default: 0x00

Bit	Name	Type	Description	Default
7:0	tx_fifo_rd_ptr	R/W	读该寄存器时为 TXFIFO 读指针, 写 bit7 为 1 时清除 TXFIFO 读指针到 0。	8'h00

2.96 Reg76 Address: 0x76 Default: 0x00

Bit	Name	Type	Description	Default
7:0	tx_fifo_wr_ptr	R/W	读该寄存器时为 TXFIFO 写指针，写 bit7 为 1 时清除 TXFIFO 写指针到 0，写 bit6 为 1 时清除 TXFIFO 数据。	8'h00

2.97 Reg77 Address: 0x77 Default: 0x00

Bit	Name	Type	Description	Default
7:0	tx_fifo_addr	R/W	TXFIFO 入口地址	8'h00

2.98 Reg78 Address: 0x78 Default: 0x00

Bit	Name	Type	Description	Default
7:0	rx_fifo_rd_ptr	R/W	读该寄存器时为 RXFIFO 读指针，写 bit7 为 1 时清除 RXFIFO 读指针到 0。	8'h00

2.99 Reg79 Address: 0x79 Default: 0x00

Bit	Name	Type	Description	Default
7:0	rx_fifo_wr_ptr	R/W	读该寄存器时为 RXFIFO 写指针，写 bit7 为 1 时清除 RXFIFO 写指针到 0，写 bit6 为 1 时清除 RXFIFO 数据。	8'h00

2.100 Reg7A Address: 0x7A Default: 0x00

Bit	Name	Type	Description	Default
7:0	rx_fifo_addr	R/W	RXFIFO 入口地址	8'h00

2.101 Reg7C Address: 0x7C Default: 0x00

Bit	Name	Type	Description	Default
7:0	command	R/W	0x00: SLEEP, SLEEP 命令 0x80: IDLE, IDLE 命令 0xc0: TXON, 发射命令 0xa0: RXON, 接收命令 0xb0: RXFSON, 接收频综打开命令 0xd0: TXFSON, 发射频综打开命令 0x81: RCCAL, RCBPF 校准命令, 只有在 IDLE 或 SLEEP 状态可进入, 完成校准后进入 IDLE 状态 0x84: RCL_CAL, RCL 校准命令, 只有在 IDLE 状态可进入, 且 rcl_en 和 rcl_cal_en 寄存器都为 1。 0x88: WOR, WOR 功能开启命令, rcl_en 寄存器需为 1。 0x8f: RST, 复位命令, 复位芯片所有数字部分, pw_srst_en 需为 1。	8'h00

2.102 Reg7D Address: 0x7D Default: 0x00

Bit	Name	Type	Description	Default
7:3	reserved	-	-	1'b0
2	pw_digcore_rst	R/W	除 SPI 接口、寄存器组、FIFO、RC 定时器以外的 digcore 数字模块复位: 0: 正常工作 1: 复位	1'b0
1	pw_srst_en	R/W	srst 复位命令和 pw_digcore_rst 复位控制使能	1'b0
0	reserved	-	-	1'b0

2.103 Reg7F Address: 0x7F Default: 0x00

Bit	Name	Type	Description	Default
7:1	reserved	-	-	6'h00
1:0	page_sel	R/W	寄存器页地址选择。其中 0x70~0x7F 为公共地址, 不受 page_sel 控制。 00: PAGE0, 0x00~0x6F	2'b00

Bit	Name	Type	Description	Default
			01: PAGE1, 0x80~0xEF	

2.104 Reg80 Address: 0x80 Default: 0x27

Bit	Name	Type	Description	Default
7:0	dev_set[7:0]	R/W	发射调制频偏设置	8'h27

2.105 Reg81 Address: 0x81 Default: 0x03

Bit	Name	Type	Description	Default
7:0	dev_set[15:8]	R/W	发射调制频偏设置	8'h03

2.106 Reg82 Address: 0x82 Default: 0x43

Bit	Name	Type	Description	Default
7:0	tx_fd_limit[7:0]	R/W	发射数据率设置	8'h43

2.107 Reg83 Address: 0x83 Default: 0x01

Bit	Name	Type	Description	Default
7:0	tx_fd_limit[15:8]	R/W	发射数据率设置	8'h01

2.108 Reg84 Address: 0x84 Default: 0x02

Bit	Name	Type	Description	Default
7:0	tx_fd_freq[7:0]	R/W	发射数据率设置	8'h02

2.109 Reg85 Address: 0x85 Default: 0x54

Bit	Name	Type	Description	Default
7	ook_en	R/W	0: FSK 1: OOK	1'b0
6	reserved	-	-	1'b1
5:4	gauss_bt_sel[1:0]	R/W	发射高斯滤波器系数: 00: bt=0.3 01: bt=0.5 10: bt=0.8 11: bt=1	2'b01
3	tx_cw_mode	R/W	发射载波模式: 0: Disable 1: Enable	1'b0
2	tx_sel_gau_o	R/W	发射高斯波器使能: 0: Disable 1: Enable	1'b1
1:0	tx_fd_freq[9:8]	R/W	发射数据率设置	2'b00

2.110 Reg94 Address: 0x94 Default: 0x01

Bit	Name	Type	Description	Default
7:6	afc_start_sel	R/W	AFC 功能生效选择: 00: always on 01: rx_rssi_valid 10: rssi_pjd_valid 11: preamble_match	2'b00
5:1	reserved	-	-	5'h00
0	afc_en	R/W	AFC 功能使能: 0: Disable 1: Enable	1'b1

2.111 Reg95 Address: 0x95 Default: 0x88

Bit	Name	Type	Description	Default
7:6	afc_freeze_sel[1:0]	R/W	AFC 补偿值冻结选择: 00: 不冻结 01: preamble_match 10: syncword_match 11: 直接冻结	2'b10
5:0	reserved	-	-	6'h08

2.112 RegAB Address: 0xAB Default: 0x05

Bit	Name	Type	Description	Default
7:6	pjd_rssi_sel	R/W	rssi_pjd_valid 信号选择: 00: pjd_valid 01: rx_rssi_valid 10/11: rx_rssi_valid&pjd_valid	2'b00
5:0	pjd_auto_mode	R/W	0: 由寄存器配置数据率 1: 自动计算数据率	1'b0
4	pjd_en	R/W	PJD 检测模块使能 0: Disable 1: Enable	1'b0
3:0	pjd_len	R/W	pjd_valid 长度	4'h05

2.113 RegAC Address: 0xAC Default: 0x38

Bit	Name	Type	Description	Default
7:1	reserved	-	-	7'h38
0	auto_cdr_std	R/W	数据率模式: 0: 由寄存器 cdr_std 配置 1: 自适应数据率, 通过计算 preamble 获取数据率	1'b0

2.114 RegBC Address: 0xBC Default: 0x15

Bit	Name	Type	Description	Default
7:6	reserved	-	-	2'b00
5	agc_en	R/W	AGC 使能: 0: Disable 1: Enable	1'b0
4:0	reserved	-	-	5'h15

2.115 RegBD Address: 0xBD Default: 0xC0

Bit	Name	Type	Description	Default
7:0	rx_rssi_thr[7:0]	R/W	rx_rssi_valid 信号阈值设置, 如要设置 -90dBm, 则该寄存器设置 $90 \times 2 = 180$	8'hC0

2.116 RegBE Address: 0xBE Default: 0x14

Bit	Name	Type	Description	Default
7:6	rssi_lock_sel	R/W	RSSI 锁定选择: 00: 不锁定, 实时更新 01: preamble_match 锁定 10: syncword_match 锁定 11: 查找 RSSI MAX 值	2'b00
5:0	reserved	-	-	6'h00

2.117 RegC0 Address: 0xC0 Default: 0x05

Bit	Name	Type	Description	Default
7	rcl_en	R/W	RCLK 电路使能: 0: Disable 1: Enable	1'b0
6	rcl_cal_en	R/W	RCL 校准使能: 0: Disable 1: Enable	1'b0

Bit	Name	Type	Description	Default
5:0	reserved	-	-	6'h00

2.118 RegC1 Address: 0xC1 Default: 0xCA

Bit	Name	Type	Description	Default
7:0	rcl_std	R/W	rcl 校准目标值	8'hCA

2.119 RegC3 Address: 0xC3 Default: 0x02

Bit	Name	Type	Description	Default
7:4	wor_rtx_gap[3:0]	R/W	wor_rtx_cont 为 1 时, 等待一段时间重新进入发射和接收状态, 时间为 wor_rtx_gap*40μs	4'h00
3:0	wor_clk_sel[3:0]	R/W	WOR 功能计算器时钟分频选择: 0000: 1 分频 0001: 2 分频 0010: 4 分频 ... 1111: 32768 分频	4'h00

2.120 RegC4 Address: 0xC4 Default: 0x20

Bit	Name	Type	Description	Default
7	reserved	-	-	1'b0
6:5	wor_rtx_sel	R/W	WOR 唤醒后工作命令: 00/11: IDLE 01: RX 10: TX	2'b01
4	wor_t3_ext_mode	R/W	T3 期间工作模式, 在 T3 时写 wor_go_on 寄存器为'1'立即进入 sleep: 0: T3 时间计数满自动进入 sleep 1: 保持在 T3	1'b0
3:2	wor_t2_ext_sel[1:0]	R/W	非 0 时, 使能 T2 时间计数: 00: T2 扩展不打开, 无 T2 时间	2'b00

Bit	Name	Type	Description	Default
			01: rssi_pjd_valid 10: preamble_match 11: syncword_match	
1:0	wor_ext_sel[1:0]	R/W	T1 期间扩展信号选择: 00: 不扩展 01: rx_rssi_valid 10: rssi_pjd_valid 11: preamble_match	2'b00

2.121 RegC5 Address: 0xC5 Default: 0xFF

Bit	Name	Type	Description	Default
7:0	wor_sleep_time[7:0]	R/W	WOR Sleep 时间: $(1/rcl) \cdot (2^{\text{wor_clk_sel}}) \cdot \text{wor_sleep_time}$	8'hFF

2.122 RegC6 Address: 0xC6 Default: 0x00

Bit	Name	Type	Description	Default
7:0	wor_sleep_time[15:8]	R/W	WOR Sleep 时间	8'h00

2.123 RegC7 Address: 0xC7 Default: 0xFF

Bit	Name	Type	Description	Default
7:0	wor_t1_time[7:0]	R/W	WOR T1 时间: $(1/rcl) \cdot (2^{\text{wor_clk_sel}}) \cdot \text{wor_t1_time}$	8'hFF

2.124 RegC8 Address: 0xC8 Default: 0x00

Bit	Name	Type	Description	Default
7:0	wor_t1_time[15:8]	R/W	WOR T1 时间	8'h00

2.125 RegC9 Address: 0xC9 Default: 0xFF

Bit	Name	Type	Description	Default
7:0	wor_t2_time[7:0]	R/W	WOR T2 时间: $(1/rcl) \cdot (2^{\text{wor_clk_sel}}) \cdot \text{wor_t2_time}$	8'hFF

2.126 RegCA Address: 0xCA Default: 0x00

Bit	Name	Type	Description	Default
7:0	wor_t2_time[15:8]	R/W	WOR T2 时间	8'h00

2.127 RegCB Address: 0xCB Default: 0xFF

Bit	Name	Type	Description	Default
7:0	wor_t3_time[7:0]	R/W	WOR T3 时间: $(1/rcl) \cdot (2^{\text{wor_clk_sel}}) \cdot \text{wor_t3_time}$	8'hFF

2.128 RegCC Address: 0xCC Default: 0x00

Bit	Name	Type	Description	Default
7:0	wor_t3_time[15:8]	R/W	WOR T3 时间	8'h00

2.129 RegD1 Address: 0xD1 Default: 0x00

Bit	Name	Type	Description	Default
7:0	ch1_freq_num	R/W	通道 1 的信道序号	4'h00

2.130 RegD2 Address: 0xD2 Default: 0x00

Bit	Name	Type	Description	Default
7:0	ch2_freq_num	R/W	通道 2 的信道序号	8'h00

2.131 RegD3 Address: 0xD3 Default: 0x00

Bit	Name	Type	Description	Default
7:0	ch3_freq_num	R/W	通道 3 的信道序号	8'h00

2.132 RegD9 Address: 0xD9 Default: 0x04

Bit	Name	Type	Description	Default
7:5	reserved	-	-	3'b000
4:0	pa_gain[4:0]	R/W	PA 功率调节: 00000: MIN ... 11111: MAX, 可与 pacell_sel、 pa_maxgain 搭配调节功率。	5'h04

2.133 RegDB Address: 0xDB Default: 0xEA

Bit	Name	Type	Description	Default
7	pdrv_ramp_en	R/W	PA DRIVER 是否参与 RAMP 过程: 0: 不参与 1: 参与	1'b1
6	pa_ramp_en	R/W	pa_ramp 使能: 0: Disable 1: Enable	1'b1
5:0	reserved	-	-	6'h00

2.134 RegE0 Address: 0xE0 Default: 0x00

Bit	Name	Type	Description	Default
7:0	m3_rx_seqnum_value[7:0]	R	包模式 3 时, 接收 Seqnum 值	8'h00

2.135 RegE1 Address: 0xE1 Default: 0x00

Bit	Name	Type	Description	Default
7:0	m3_rx_seqnum_value[15:8]	R	包模式 3 时, 接收 Seqnum 值	8'h00

2.136 RegE2 Address: 0xE2 Default: 0x00

Bit	Name	Type	Description	Default
7:0	m3_rx_addr_value[7:0]	R	包模式 3 时, 接收 Address 值	8'h00

2.137 RegE3 Address: 0xE3 Default: 0x00

Bit	Name	Type	Description	Default
7:0	m3_rx_addr_value[15:8]	R	包模式 3 时, 接收 Address 值	8'h00

2.138 RegE4 Address: 0xE4 Default: 0x00

Bit	Name	Type	Description	Default
7:0	m3_rx_addr_value[23:16]	R	包模式 3 时, 接收 Address 值	8'h00

2.139 RegE5 Address: 0xE5 Default: 0x00

Bit	Name	Type	Description	Default
7:0	m3_rx_addr_value[31:24]	R	包模式 3 时, 接收 Address 值	8'h00

2.140 RegE6 Address: 0xE6 Default: 0x00

Bit	Name	Type	Description	Default
7:0	m3_seqnum_cnt[7:0]	R	包模式 3 时, 本地 Seqnum 计数器值	8'h00

2.141 RegE7 Address: 0xE7 Default: 0x00

Bit	Name	Type	Description	Default
7:0	m3_seqnum_cnt[15:8]	R	包模式 3 时, 本地 Seqnum 计数器值	8'h00

2.142 RegE8 Address: 0xE8 Default: 0x00

Bit	Name	Type	Description	Default
7:0	m3_rx_length_value[7:0]	R	包模式 3, 接收包长度域低字节	8'h00

2.143 RegE9 Address: 0xE9 Default: 0x00

Bit	Name	Type	Description	Default
7:0	m3_rx_length_value[15:8]	R	包模式 3, 接收包长度域高字节	8'h00

3 版本维护

版本	日期	描述
V1.0	2025.07.09	初始版
V1.1	2025.12.08	更新部分寄存器描述。