

UM324xF QSPI PSRAM (APS1604M3S) 使用指南

版本：V1.0



广芯微电子（广州）股份有限公司

<http://www.unicmicro.com/>

条款协议

本档的所有部分，其著作产权归广芯微电子（广州）股份有限公司（以下简称广芯微电子）所有，未经广芯微电子授权许可，任何个人及组织不得复制、转载、仿制本档的全部或部分组件。本档没有任何形式的担保、立场表达或其他暗示，若有任何因本档或其中提及的产品所有资讯所引起的直接或间接损失，广芯微电子及所属员工恕不为其担保任何责任。除此以外，本档所提到的产品规格及资讯仅供参考，内容亦会随时更新，恕不另行通知。

1. 本档中所记载的关于电路、软件和其他相关信息仅用于说明半导体产品的操作和应用实例。用户如在设备设计中应用本档中的电路、软件和相关信息，请自行负责。对于用户或第三方因使用上述电路、软件或信息而遭受的任何损失，广芯微电子不承担任何责任。
2. 在准备本档所记载的信息的过程中，广芯微电子已尽量做到合理注意，但是，广芯微电子并不保证这些信息都是准确无误的。用户因本档中所记载的信息的错误或遗漏而遭受的任何损失，广芯微电子不承担任何责任。
3. 对于因使用本档中的广芯微电子产品或技术信息而造成的侵权行为或因此而侵犯第三方的专利、版权或其他知识产权的行为，广芯微电子不承担任何责任。本档所记载的内容不应视为对广芯微电子或其他人所有的专利、版权或其他知识产权作出任何明示、默示或其它方式的许可及授权。
4. 使用本档中记载的广芯微电子产品时，应在广芯微电子指定的范围内，特别是在最大额定值、电源工作电压范围、热辐射特性、安装条件以及其他产品特性的范围内使用。对于在上述指定范围之外使用广芯微电子产品而产生的故障或损失，广芯微电子不承担任何责任。
5. 虽然广芯微电子一直致力于提高广芯微电子产品的质量和可靠性，但是，半导体产品有其自身的具体特性，如一定的故障发生率以及在某些使用条件下会发生故障等。此外，广芯微电子产品均未进行防辐射设计。所以请采取安全保护措施，以避免当广芯微电子产品在发生故障而造成火灾时导致人身事故、伤害或损害的事故。例如进行软硬件安全设计（包括但不限于冗余设计、防火控制以及故障预防等）、适当的老化处理或其他适当的措施等。

目录

1	摘要.....	1
2	QSPI 概述.....	1
3	主要特性.....	1
4	管脚说明.....	2
5	功能描述.....	2
5.1	AHB 控制接口.....	2
5.1.1	AHB 接口.....	2
5.1.2	AHB 地址重映射.....	2
5.2	直接访问控制器 (DAC).....	3
6	QSPI PSRAM 使用流程.....	4
6.1	GPIO 初始化.....	4
6.2	QSPI 时钟使能.....	4
6.3	PSRAM 初始化.....	4
6.3.1	初始化 QSPI 为单线模式.....	4
6.3.2	使能 PSRAM Quad Mode 工作模式.....	5
6.3.3	配置 QSPI 为四线模式.....	5
6.4	PSRAM 数据读写.....	5
6.4.1	直接读写方式.....	5
6.4.2	内存管理方式.....	6
7	版本维护.....	7

1 摘要

本篇应用笔记主要介绍 UM324xF QSPI PSRAM (APS1604M3S) 使用指南。

本篇应用笔记主要包括：

- QSPI概述
- 主要特性
- 管脚说明
- 功能描述
- QSPI PSRAM使用流程

注：具体功能及寄存器的操作等相关事项请以用户手册为准。

2 QSPI 概述

QSPI 控制器可向串行 Flash 器件提供访问权限。支持高性能单线、双线和四线 SPI 标准接口。

3 主要特性

- 存储器映射的直接操作模式，用来进行Flash数据传输和执行Flash存储器中的编码
- 软件触发的间接操作模式，用来进行延迟时间短和非处理器密集型的Flash数据传输
- 软件APB可访问的Flash控制寄存器组可执行任何Flash命令，包括一次数据传输可高达8个字节
- 支持XIP (Execute in Place)，有时也指连续模式
- 支持单线，双线，四线I/O指令
- 器件大小可编程
- 写保护区域可编程，可阻止系统写入生效
- 传输事务之间的延时可编程
- 传统模式下允许软件直接访问底层发送和接收FIFOs，旁路较高层流程
- 支持独立的异步的SPI通信参考时钟
- 串行时钟可配置极性
- 可编程波特率发生器
- 包含可提升高速读数据捕捉机制的特性
- 可选择使用调整时钟来进一步提升读数据捕捉
- 可编程中断生成

- 支持1个外部器件

4 管脚说明

功能管脚	复用管脚	方向	功能描述
QSPI_SCK	PE10,PB10	Output	串行时钟输出
QSPI_DIO0	PE12,PD4	Input/Output	串行数据输入输出信号
QSPI_DIO1	PE13,PD5	Input/Output	串行数据输入输出信号
QSPI_DIO2	PE14,PD6	Input/Output	串行数据输入输出信号
QSPI_DIO3	PE15,PD7	Input/Output	串行数据输入输出信号
QSPI_CSN	PE11,PD3	Output	从设备选择线

5 功能描述

5.1 AHB 控制接口

AHB 从控制器可验证接收到的 AHB 访问，对无效请求作出响应，进行任意字节或者半字的重排序，屏蔽违反写保护规则的写操作（仅限直接访问），向直接访问控制器或者间接访问控制器转发传输请求。

5.1.1 AHB 接口

AHB 接口遵循 ARM 的 AMBA 3 AHB-Lite 协议规格。不支持传输锁定（HMASLOCK）和采用保护控制信号（HPROT）的传输。AHB 的数据位宽为 32 位。因此，只允许字节，半字和字访问。关于写操作，只支持递增突发（incrementing bursts），接收到的 wrapping 写突发将会产生错误。支持 INCR16，INCR8，INCR4，INCR 和 SINGLE 的突发类型。关于读操作，所有突发类型，包括 WRAPS，均支持。如果突发传输因互连突发终止而造成提前终止，或又如果在突发传输内从机发生错误访问，从机仍将正确运行。

5.1.2 AHB 地址重映射

QSPI 控制器不会对接收到的错误地址进行具体的地址解码，但有 AHB 地址解码器。如果使能，QSPI Flash 控制器能够检测到每一个独立器件的地址范围，基于 AHB 的地址，做出有效器件自动切换的选择。接收到的 AHB 地址默认直接映射到串行发送至 Flash 器件上的地址。如果 Flash 器件有 24 位地址，将会发送 AHB 地址的低 24 位。重映射功能将 AHB 总线上的地址映射为 ADDRESS+N，N 为

地址重映射寄存器（QSPI_RAR）中的值。重映射功能可通过QSPI配置寄存器（QSPI_CR[0]）使能。当软件需要将BOOT代码移动至另一个Flash区域时，需要用到重映射功能。

5.2 直接访问控制器（DAC）

直接访问是指AHB访问直接触发对Flash存储器进行读或写操作。该操作为存储器映射，可访问并直接执行外部Flash存储器中的编码。任何接收到的不在可编程间接触发区域内的AHB访问都被假想为直接访问，并由直接访问控制器响应。注意，使用直接访问控制器的访问将不使用嵌入SRAM。当进行读或写突发操作时，AHB将会节流，等待状态的数量取决于控制器的延时。延时已设计的尽可能小。当XIP读指令使能时，延时将保持最小值。当响应AHB读操作时，DAC将会发送一个额外的下游访问，而不仅仅是对AHB单个burst的转发。该访问将不会显现于系统接口。该操作作为一个预读操作，确保底层SPI核运行于最大带宽。这里定义的AHB突发不同于由AMBA定义的AHB突发。这里的AHB突发定义如下：

1. AHB突发的第一次访问由以下定义：
 - 非连续AHB访问（基于地址比较来判断是否为非连续，而非基于htrans）
 - 非连续或连续AHB访问（当下游模块处于空闲状态）
2. AHB突发的最后一次访问由连续AHB访问定义，优先于上面1中定义的新突发。
3. AHB突发的大小为AHB访问的数量，从第一次访问到最后一次访问。
4. 每个AHB突发的DAC请求的数量 = AHB突发大小 + 1

关于AHB写操作，直接访问控制器会触发一系列的写命令（类似于读操作的处理方式），尽管DAC写请求的数量等于接收到的AHB写请求的数量。写操作时，AHB控制器将确保Flash突发不会超出Flash页边界。当检测到页边界时，只有到边界为止的字节访问数会被转发。一个跨页边界的连续直接写请求必须检测为到下游模块的非连续请求，使得下游控制器强制Flash器件进入自定时页程序周期。内核支持跨页分开写，仅限于字对齐的地址。如果系统发送连续写操作时延迟太久，Flash写周期可能提前启动，减少器件的有效寿命。注意，如若系统不能保证及时提供需要写入的数据，则采用间接写操作来避免这个问题。Flash擦操作由软件使用编程接口触发。一旦页编程周期启动，在允许后续AHB访问完成之前，QSPI Flash控制器将自动轮询写周期直到完成。该操作通过将后续AHB直接访问控制在等待状态来实现。

6 QSPI PSRAM 使用流程

6.1 GPIO 初始化

1. 使能接口使用的 GPIO 时钟。
2. 配置 GPIO 的复用功能。

具体配置如下管脚：QSPI_SCK，QSPI_CSN，QSPI_DIO0，QSPI_DIO1，QSPI_DIO2，QSPI_DIO3。

6.2 QSPI 时钟使能

1. 通过配置 RCM_AHBCKENR[16]为 1，使能 QSPI 模块。
2. 通过配置 RCM_AHBRSTR[16]为 0，不复位 QSPI 控制器。

6.3 PSRAM 初始化

6.3.1 初始化 QSPI 为单线模式

1. 通过配置 QSPI_WCR[14]为 1，关闭自动轮询功能。
2. 通过配置 QSPI_DRIR[28:24]为 0，读指令所需的 Dummy 时钟周期数为 0。
3. 通过配置 QSPI_DRIR[17:16]为 0，设置为 SIO 模式。
4. 通过配置 QSPI_DRIR[13:12]为 0，地址仅可在 DQ0 上发送到器件。
5. 通过配置 QSPI_DRIR[7:0]设置读操作码 0x03。
6. 通过配置 QSPI_DWIR[17:16]为 0，设置为 SIO 模式。
7. 通过配置 QSPI_DWIR[13:12]为 0，地址仅可在 DQ0 上发送到器件。
8. 通过配置 QSPI_DWIR[7:0]设置写操作码 0x02。
9. 通过配置 QSPI_DDLR 寄存器设置片选无效时间、片选传输结束时间、片选传输起始时间。
10. 通过配置 QSPI_DSCR 寄存器设置地址字节数、每个器件页的字节数、每块的字节数。
11. 通过配置 QSPI_CR[22:19]寄存器设置主模式波特率分频。
12. 通过配置 QSPI_CR[7]为 1，使能直接访问模式。
13. 通过配置 QSPI_CR[2:1]设置时钟极性和相位。
14. 通过配置 QSPI_CR[0]为 1，使能 QSPI。
15. 通过配置 QSPI_RDCR[0]设置传输数据延时、采样边沿、读数据捕捉延时。

6.3.2 使能 PSRAM Quad Mode 工作模式

1. 通过配置 QSPI_FCR[31:24]设置命令操作码 0x35。
2. 通过设置 QSPI_FCR[0]为 1，执行命令。
3. 查询 QSPI_FCR[1:0]等待命令执行完成。
4. 延时 1ms。

6.3.3 配置 QSPI 为四线模式

1. 通过配置 QSPI_DRIR[28:24]为 6，读指令所需的 Dummy 时钟周期数为 6。
2. 通过配置 QSPI_DRIR[17:16]为 2，用作 QUAD 模式。
3. 通过配置 QSPI_DRIR[13:12]为 2，地址可在 DQ0，DQ1，DQ2 和 DQ3 上发送到器件。
4. 通过配置 QSPI_DRIR[7:0]设置读操作码 0xEB。
5. 通过配置 QSPI_DRIR[9:8]为 2，设置指令类型为 QIO-SPI 模式。
6. 通过配置 QSPI_DWIR[17:16]为 0，设置为 QUAD 模式。
7. 通过配置 QSPI_DWIR[13:12]为 0，地址可在 DQ0，DQ1，DQ2 和 DQ3 上发送到器件。
8. 通过配置 QSPI_DWIR[7:0]设置写操作码 0x38。
9. 查询 QSPI_FCR[1:0]等待命令执行完成。

6.4 PSRAM 数据读写

QSPI 的直接内存映射地址为：0x38000000-0x3CFFFFFF。

PSRAM 初始化完成后可以直接读写数据，支持 byte、halfword、word。

6.4.1 直接读写方式

```
(*volatile uint8_t*)(0x38000000) = 0xA5;
(*volatile uint16_t*)(0x38000000) = 0xA55A;
(*volatile uint32_t*)(0x38000000) = 0xA5A55A5A;

temp = (*volatile uint8_t*)(0x38000000);
temp = (*volatile uint16_t*)(0x38000000);
temp = (*volatile uint32_t*)(0x38000000);
```

6.4.2 内存管理方式

1. 定义一个内存池在 PSRAM。

```
__align(32) uint8_t mem2base[MEM2_MAX_SIZE] __attribute__((at(0x38000000)));
```

2. 通过修改 malloc.h 的宏定义可以修改内存池的大小(以 1Mbyte 大小为例)。

```
#define MEM2_MAX_SIZE 1024 * 1024 //管理内存 1024K
```

3. 通过定义内存管理表来管理内存池的使用，具体实现请参考 SDK PSRAM demo。

7 版本维护

版本	日期	描述
V1.0	2023.12.11	初始版